

Prima Prova Intermedia AESO (B)

2024/2025

Rispondere alle domande seguenti nel tempo limite di **30 minuti** dall'orario di pubblicazione. Sottomettere prima della deadline.

RACCOMANDAZIONE: si consiglia di evitare la sottomissione negli ultimissimi istanti in quanto la probabilità di qualche ritardo di rete o disconnessione per sovraccarico è molto alta; consegnare pertanto con qualche minuto di anticipo. Decidere di sottomettere negli ultimi secondi è una decisione di cui vi assumete la piena responsabilità: se non riuscite ad inviare il compito non potrà essere corretto e quindi non sarà valido.

1. Email *

2. Inserisci nel box sotto il tuo numero di matricola

3. In un registro a n bit con segnale di abilitazione indicare quale delle seguenti affermazioni è falsa

Contrassegna solo un ovale.

- ☐ L'uscita del registro è a n bit così come l'ingresso principale
- ☐ Il segnale di abilitazione è di 1 solo bit
- ☒ Il registro aggiorna la sua uscita con l'ingresso quando il clock è a 1 e il segnale di abilitazione è a 1
- ☐ Il segnale di abilitazione è posto in AND con il segnale di clock

4. In un Flip-Flip di tipo D indicare quale affermazione è vera tra le seguenti

Contrassegna solo un ovale.

- ☒ Il master è opaco durante la fase in cui il clock è a 1
- ☐ E' composto da un solo Latch D
- ☐ E' composto da due registri a 1 bit riceventi lo stesso clock
- ☐ E' composto da due Latch D riceventi lo stesso clock

5. Utilizzando la Mappa di Karnaugh seguente per minimizzare il più possibile la funzione Booleana, indicare quale affermazione è vera

	00	01	11	10
00	1	1	1	1
01	1	1	1	0
11	0	0	1	1
10	0	0	0	0

Contrassegna solo un ovale.

- ☐ La mappa non consente alcuna semplificazione
- ☐ Abbiamo cinque cerchi tutti di esattamente da due 1
- ☐ Abbiamo 5 implicant di cui tre da quattro 1
- ☒ Abbiamo 4 implicant di cui tre da quattro 1
- ☐ Abbiamo 4 implicant di cui due da quattro 1

6. Dato un confrontatore con due ingressi a n bit realizzato secondo l'approccio "strutturale" con n confrontatori con due ingressi a 1 bit

Contrassegna solo un ovale.

- ☐ Il numero minimo di livelli di logica dell'implementazione "strutturale" è di 2
- ☒ Richiede una porta AND con n ingressi, quindi da realizzare con un numero di livelli di logica $\log_8(n)$ assumendo porte con al massimo 8 ingressi
- ☐ Il numero di livelli di logica cresce linearmente rispetto a n
- ☐ Il numero di livelli di logica è costante rispetto a n
- ☐ Richiede una porta AND con n ingressi, quindi da realizzare con un numero di livelli di logica $n/8$ assumendo porte con al massimo 8 ingressi

7. Quanti stati deve avere (almeno) un'automa di MOORE che riconosce una stringa di 3 'a' consecutive su un alfabeto $\{a,b,c\}$

Contrassegna solo un ovale.

- ☐ 3
- ☒ 4
- ☐ 5
- ☐ Nessuna delle precedenti

8. Due automi, uno di Moore e l'altro di Mealy, riconoscono la stessa stringa su un alfabeto $\{a,b\}$. Quale delle seguenti affermazioni è sicuramente vera?

Contrassegna solo un ovale.

- ☐ La rete che implementa l'automa di Moore ha un ciclo di clock più lungo di quella che implementa la rete di Mealy
- ☐ La rete che implementa l'automa di Moore ha un ciclo di clock minore o uguale di quella che implementa la rete di Mealy
- ☐ L'automa di Moore ha più stati interni del corrispondente automa di Mealy
- ☐ L'automa di Mealy ha più stati interni del corrispondente automa di Moore
- ☒ Nessuna delle precedenti affermazioni è sicuramente vera

9. Un multiplexer con 4 ingressi e un ingresso di controllo da 2 bit

Contrassegna solo un ovale.

- ☐ Può essere implementato con più multiplexer da 2 ingressi e un ingresso di controllo da 1 bit con lo stesso ritardo di stabilizzazione del multiplexer più piccolo
- ☒ Può essere implementato con più multiplexer da 2 ingressi e un ingresso di controllo da 1 bit con un ritardo di stabilizzazione pari a due volte quello del multiplexer più piccolo
- ☐ Non può essere implementato utilizzando multiplexer a due ingressi + ingresso di controllo da 1 bit
- ☐ Tutte le affermazioni precedenti sono false

10. Si considerino le espressioni Booleane in figura. Assumendo di avere a disposizione solo porte AND e OR da due ingressi, qual'è il numero minimo di livelli di logica necessario per calcolare una delle espressioni seguenti?

$$\begin{aligned} &(\bar{a}b + a\bar{b})\bar{c} \\ &\bar{a}b\bar{c} + a\bar{b}\bar{c} \\ &\bar{a}b + \bar{b}c + a\bar{c} \\ &(\bar{a}+\bar{b})\bar{c} \end{aligned}$$

Contrassegna solo un ovale.

- ☐ 1
☒ 2
☐ 3
☐ 4
☐ 5

11. Per implementare una rete combinatoria che moltiplica due numeri interi senza segno da 2 bit per ottenere un risultato da 4 bit

Contrassegna solo un ovale.

- ☐ Dobbiamo prevedere un bit di overflow, da mettere a 1 quando il valore del prodotto non è rappresentabile con 4 bit
- ☒ Non serve il bit di overflow, visto che due valori rappresentati su 2 bit moltiplicati fra di loro non generano mai un risultato che non sia rappresentabile su 4 bit
- ☐ Non serve un bit per l'overflow, in quanto possiamo utilizzare a tale scopo il bit più significativo del risultato
- ☐ Serve il bit di overflow implementato tramite il carry

12. Una funzione pura che calcola un bit di risultato a partire da 8 bit di ingresso

Contrassegna solo un ovale.

- ☐ Può sempre essere calcolata utilizzando solo due livelli di logica, ovvero un unico livello di porte AND e un unico livello di porte OR (cioè un'unica porta OR)
- ☒ Anche utilizzando porte da 8 ingressi, non è detto che basti un solo livello di porte OR
- ☐ Anche utilizzando porte da 8 ingressi, non è detto che basti un solo livello di porte AND
- ☐ Il numero di livelli di logica è sicuramente $\log_2(8)$ ovvero 3

13. In un latch SR, qual'è la combinazione di valori in ingresso che non porta ad un risultato corretto delle uscite?

Contrassegna solo un ovale.

- ☐ SR = 00
- ☐ SR = 01
- ☐ SR = 10
- ☒ SR = 11
- ☐ Nessuna delle precedenti: qualunque sia il valore degli ingressi S ed R il circuito si stabilizza sempre in modo da fornire i valori in uscita Q e non(Q) corretti

14. L'implementazione di una funzione con stato, secondo il modello di Moore

Contrassegna solo un ovale.

- ☐ Richiede una rete combinatoria che calcola il prossimo stato interno e una rete combinatoria che calcola le uscite, entrambe diverse dalla rete che implementa la funzione identità
- ☐ Non richiede necessariamente un registro di stato interno
- ☒ Richiede necessariamente un registro di stato interno
- ☐ Richiede necessariamente sia le reti di cui alla prima risposta che il registro di stato

15. La tabella di verità di una funzione di 4 ingressi è rappresentata dalla mappa di Karnaugh in figura. Qual'è il numero minimo di implicant (termini AND) richiesti per la sua implementazione?

		ab			
		00	01	11	10
cd	00	1	0	0	1
	01	1	1	1	1
	11	0	1	1	0
	10	0	1	1	0

Contrassegna solo un ovale.

- ☐ 1
- ☐ 2
- ☒ 3
- ☐ 4
- ☐ 5
- ☐ 6
- ☐ 7
- ☐ 8

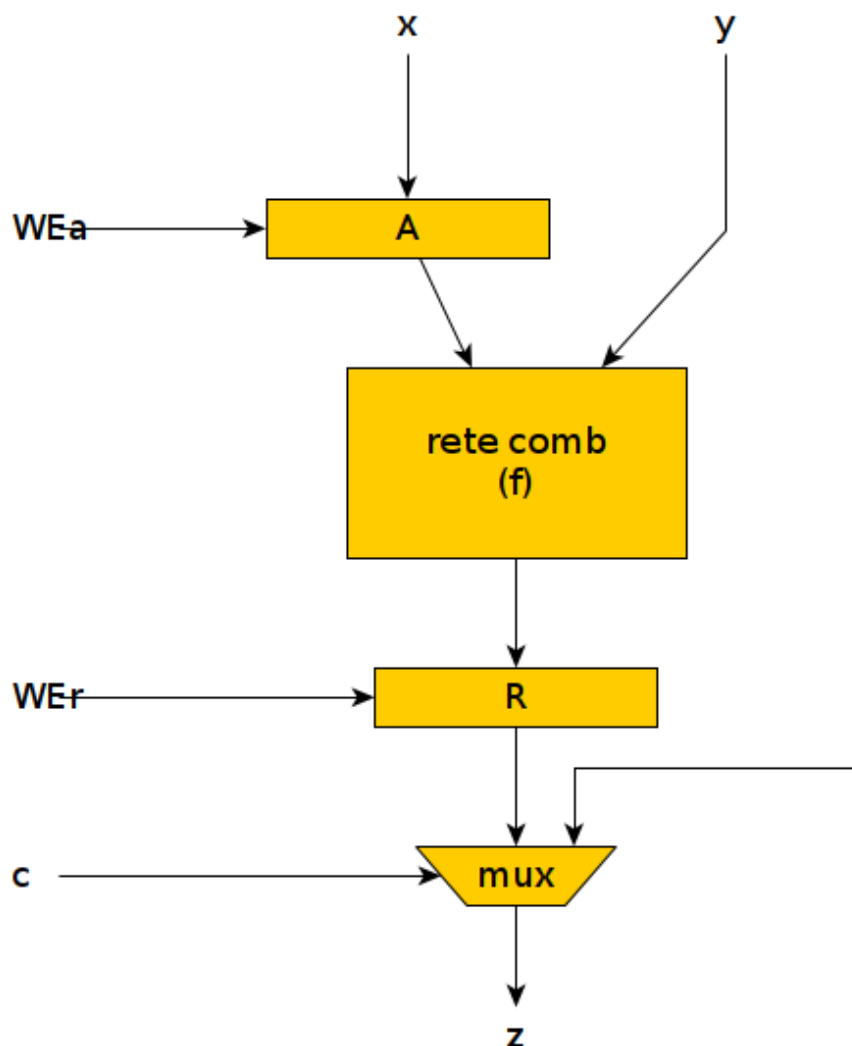
16. Come posso semplificare l'espressione in figura?

$$\bar{a}\bar{b} + ab + a\bar{c}$$

Contrassegna solo un ovale.

- ☐ Posso solo raccogliere 'a' nei primi due termini AND e ridurre l'espressione ad "a OR (a AND (c negato))"
- ☒ Posso ridurre l'espressione ad 'a' (nessuna porta AND e nessuna porta OR richiesta)
- ☐ L'espressione è irriducibile
- ☐ Devo solo raccogliere 'a' negli ultimi due implicant

17. Quale delle seguenti affermazioni è vera?



Contrassegna solo un ovale.

- ☐ La rete in figura è una rete di Moore; lo stato interno è rappresentato dal registro R
- ☐ La rete in figura è una rete di Moore; lo stato interno è rappresentato dal registro R e dal registro A
- ☐ La rete in figura è una rete di Mealy; lo stato interno è rappresentato dal registro R
- ☒ La rete in figura è una rete di Mealy; lo stato interno è rappresentato dal registro R e dal registro A

18. Il modulo Verilog in figura

```
module m(output z, input x, input y, input z);  
  
    assign  
        z = (x && y) || (~x && z);  
  
endmodule
```

Contrassegna solo un ovale.

- ☐ Implementa la somma di due bit con un ingresso "riporto" da un altro modulo senza tenere conto dell'eventuale riporto generato
- ☒ Implementa un multiplexer da 2 ingressi (più ingresso di controllo)
- ☐ Implementa un demultiplexer da 2 uscite e un ingresso (più ingresso di controllo)
- ☐ Nessuna delle tre risposte è vera

19. Verilog utilizzato per il processo di "sintesi" di circuiti logici

Contrassegna solo un ovale.

- ☐ Permette di simulare il comportamento di una qualunque rete (combinatoria o sequenziale)
- ☐ Permette di simulare il comportamento di una qualunque rete sequenziale
- ☒ Permette di generare tutto quanto necessario ad implementare su silicio una qualunque rete (combinatoria o sequenziale)
- ☐ Permette di generare tutto quanto necessario ad implementare su silicio una qualunque rete sequenziale che implementi esclusivamente componenti di tipo processore

20. In un componente "primitive" di Verilog, la cui struttura è riportata in figura, le righe tra "table" e "endtable" non mostrate in figura (...)

```
primitive f(output z, input x, input y);  
  table  
    ...  
  endtable  
endprimitive
```

Contrassegna solo un ovale.

- ☐ Contengono uno o più statement "assign" che assegnano espressioni Booleane sulle variabili in ingresso alla variabile in uscita
- ☐ Contengono uno statement "assign" che assegna il risultato di una espressione Booleana sulle variabili in ingresso alla variabile in uscita
- ☒ Contengono valori binari delle variabili di input associati a valori binari della variabile di output
- ☐ Ogni riga è una configurazione di ingresso associata alla corrispondente configurazione di uno o più bit di uscita

21. Dati due moduli A e B in Verilog, che implementano componenti di logica combinatoria, posso creare un module Verilog che li usa entrambi per fornire un nuovo modulo che implementa logica combinatoria

Contrassegna solo un ovale.

- ☒ Utilizzando istanze dei moduli e dichiarazioni di tipo WIRE per creare i collegamenti fra i moduli componenti. Ogni wire connette un'uscita di uno dei moduli componenti ad un ingresso dell'altro modulo.
- ☐ Utilizzando istanze dei moduli e dichiarazioni di tipo WIRE per creare i collegamenti fra i moduli componenti. Ogni wire connette un'uscita di uno dei moduli componenti ad un ingresso dell'altro modulo oppure fra i valori in uscita dei moduli componenti e le variabili di uscita del nuovo modulo
- ☐ Utilizzando istanze dei moduli e dichiarazioni di tipo WIRE per creare i collegamenti fra i moduli componenti. Ogni wire connette un'uscita di uno dei moduli componenti ad un ingresso dell'altro modulo oppure fra i valori in ingresso dei moduli componenti e le variabili di ingresso del nuovo modulo.
- ☐ Nessuna delle due opzioni è una possibilità

22. Per il calcolo della lunghezza minima del ciclo di clock per far funzionare correttamente una rete sequenziale

Contrassegna solo un ovale.

- ☐ Se la rete è di Moore, occorre tenere in considerazione il ritardo di propagazione di Sigma soltanto, in quanto Omega dipende solo dallo stato interno
- ☐ Se di Moore, essendoci meno stati interni, si considera il ritardo di propagazione della sola Omega che richiede più tempo
- ☐ Si considera il massimo tra il ritardo di propagazione delle reti Sigma e Omega nel solo caso di rete di Mealy
- ☐ Si considera la somma dei ritardi di propagazione delle reti Sigma e Omega nel solo caso di Moore
- ☒ Nessuna delle precedenti

Questi contenuti non sono creati né avallati da Google.

Google Moduli

