

Prima Verifica AESO 21-22

marco.danelutto@unipi.it [Cambia account](#)

 Bozza ripristinata

Il tuo indirizzo email verrà registrato quando invierai questo modulo

D1

Avendo a disposizione solo porte AND da due ingressi, con ritardo pari a T , con quale ritardo possiamo implementare una rete combinatoria che calcoli l'AND di 15 ingressi ?

- 1T
- 2T
- 3T
- 4T
- 5T
- più di 5T

$$\lceil \log_2 15 \rceil = \log_2 16 = 4$$

D2

Quale delle seguenti affermazioni sono vere ?

- Il numero di interi diversi rappresentabili su n bit in complemento a 2 è $(2 \text{ alla } n)$ meno 1 *no, solo 2^n*
- Il numero di interi diversi rappresentabili su n bit in complemento a 2 è $(2 \text{ alla } n)$
- Il numero di interi positivi diversi da 0 rappresentabili su N bit in complemento a due è pari al numero degli interi negativi *no, c'è un numero positivo ($\neq 0$) in meno*
- Nella rappresentazione in modulo e segno, la rappresentazione di un numero positivo inizia sempre con uno 0



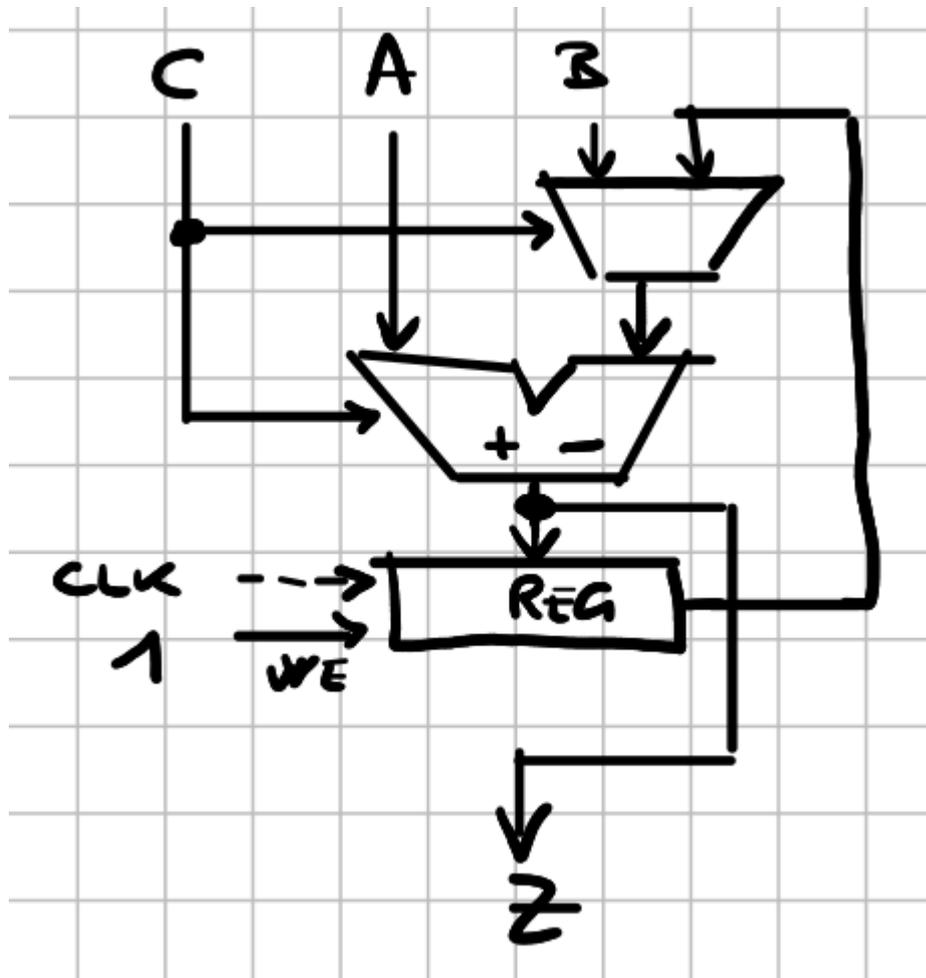
D3

Un demultiplexer

- Passa uno dei 2 alla k ingressi sull'unica uscita. L'ingresso è quello indicato dai k bit dell'ingresso di controllo
- Passa l'unico ingresso su una delle 2 alla k uscite. L'uscita è quella indicata dai k bit dell'ingresso di controllo
- ha solo un ingresso da k bit e 2 alla k uscite da 1 bit e mette a 1 solo l'uscita indicata dai k bit di ingresso

D4

La rete in figura:

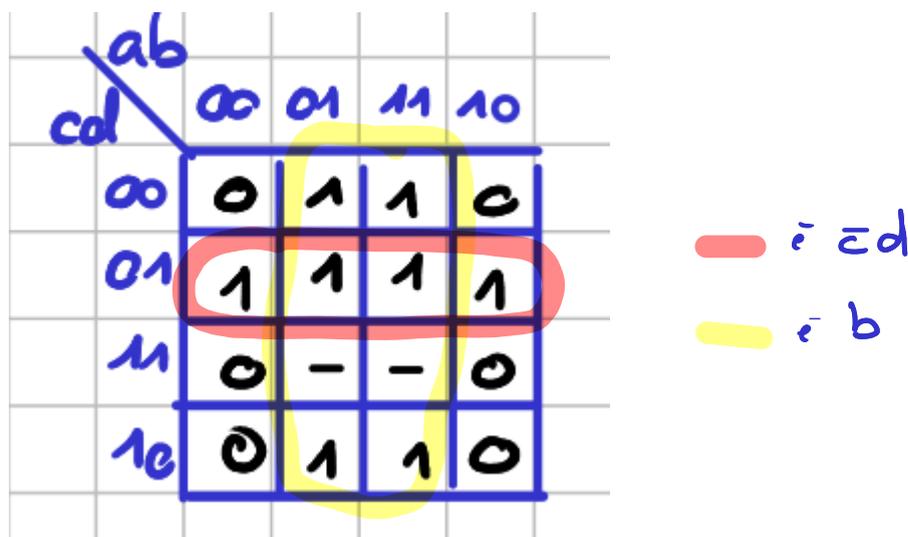


- E' una rete di Mealy *Z dipende da A, che è un ingresso*
- E' una rete di Moore
- Dalla figura non si può evincere se sia di Mealy o di Moore



D5

Qual'è il numero minimo di implicanti (termini AND da porre in OR) che servono per definire la funzione specificata dalla seguente mappa di Karnaugh?



- 1
 2 *se considero i non specificati come "1"*
 3
 4
 5
 più di 5
 Opzione 5

D6

Si considerino interi senza segno, rappresentati utilizzando 9 bit. Il numero massimo rappresentabile è:

- 127
 255
 511 *con 10 bit sarebbe $(1024-1)$*
 nessuno di questi

D7

Per dividere per 8 (2 alla 3) un numero intero positivo

- mi servono 3 sottrattori in cascata
- mi servono 3 blocchi "shift logico a destra di una posizione" in cascata
- mi servono 3 blocchi "shift aritmetico a destra di una posizione" in cascata

posso averli ma essere "aritmetico" non serve su numeri positivi

D8

Quale delle seguenti stringhe di bit rappresenta il numero -7 su 8 bit in complemento a 2?

- 1000111
- 11111001
- 11111000

7 0000 0111
negato 1111 1000
+1 1111 1001

D9

Quale delle seguenti espressioni non può generare un'alea?

- (a and not(c)) or (b and c)
- (a and not(c)) or (b and c) or (a and b)
- (a and not(c)) or (b and c) or (a and b and c) or (a and b and not(c))

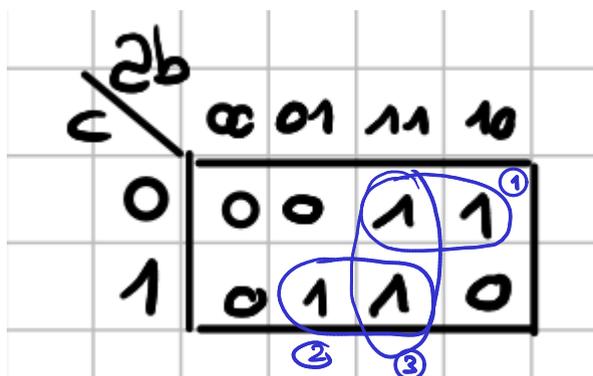
<i>2b</i>	<i>c</i>	00	01	11	10
0				1	1
1			1	1	

alea



D10

Quale delle seguenti espressioni esprimono la funzione definita dalla seguente mappa di Karnaugh



(a and not(c)) or (b and c)

$a\bar{c} + bc$

(a and c) or (b and not(c))

$ab(c + \bar{c}) = ab$

(a and not(c)) or (a and b and c) or (b and c) or (a and b and not(c))

$a\bar{c} + 2bc + bc + 2b\bar{c} \equiv a\bar{c} + bc + ab$

(Note: The handwritten '2' in the original image is likely a typo for 'ab' or 'bc' in the context of the derivation.)

D11

Una rete sequenziale di Moore di tipo generale è formata:

Da una rete combinatoria per il calcolo del prossimo stato interno e da un registro di stato

no, manca rete x uscita

Da due reti combinatorie e un registro di stato

Da una rete combinatoria per il calcolo del prossimo stato interno, da un registro di stato e da un collegamento per copiare il contenuto del registro di stato sull'uscita

no, potrebbe esserci una f...

D12

Per calcolare la parità di una sequenza di bit:

Serve una rete sequenziale di Moore

Serve una rete sequenziale di Mealy

} possono essere usate ma non "serve"

Serve una rete sequenziale

Serve una rete combinatoria

No, manca lo stato

D13

Un full adder da 1 bit ha

- Due ingressi e tre uscite
- Tre ingressi e due uscite
- Tre ingressi e tre uscite

x y rip-unicale \rightarrow z rip-finale

D14

Quale dei seguenti dispositivi assicura che l'ingresso venga copiato sull'uscita in corrispondenza al fronte di salita del segnale di clock

- D-latch
- SR-latch
- Flip-Flop D

vedi testo

D15

Per fare un moltiplicatore di fattori da 2 bit bastano:

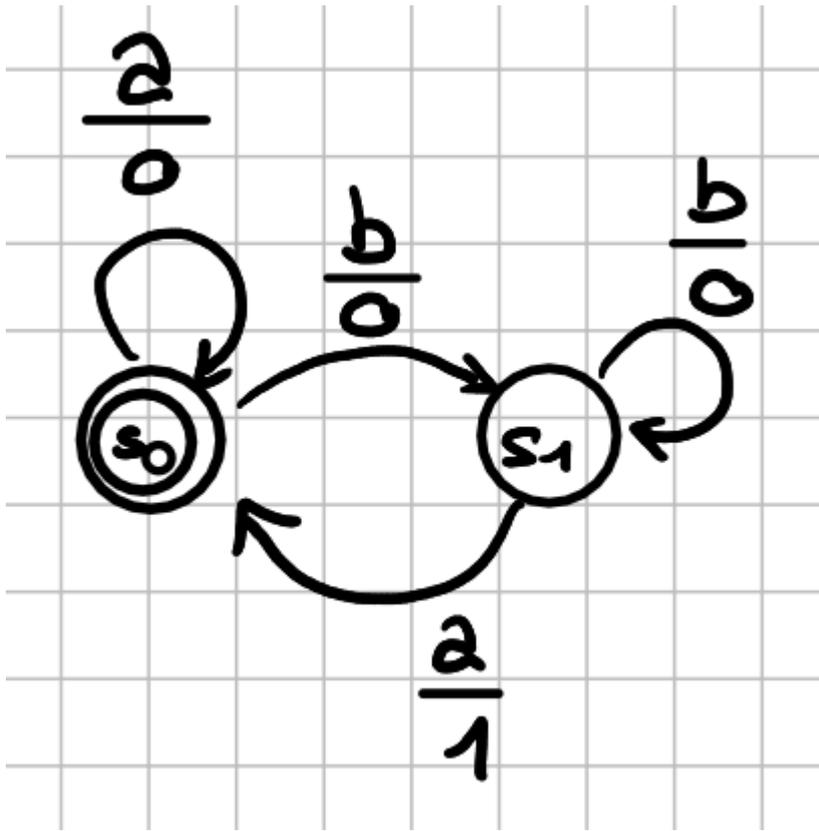
- 2 Full Adder
- 4 Full Adder
- 3 Full Adder

$$\begin{array}{r}
 x_1 x_0 * y_1 y_0 \\
 \hline
 \text{RP} \leftarrow x_1 y_0 \quad x_0 y_0 \\
 x_1 y_1 \quad x_0 y_1 \quad - \\
 \hline
 \text{FA} \quad \text{FA} \\
 \textcircled{1} \quad \textcircled{2}
 \end{array}$$



D16

L'automa in figura



Emette un 1 quando vede la sequenza "bba"

Emette un 1 quando dopo una sequenza di un numero qualunque (maggiore o uguale a 0) di "b" vede una singola "a"

emette un 1 quando vede la sequenza "aba"

*No, perché "maggiore o uguale"
se è "uguale" darebbe
emettere 1 anche x la
seq "a", per esempio*

D17

Quali dei seguenti dispositivi necessita, per funzionare, di un segnale di clock

SR-latch

non c'è segnale di clock

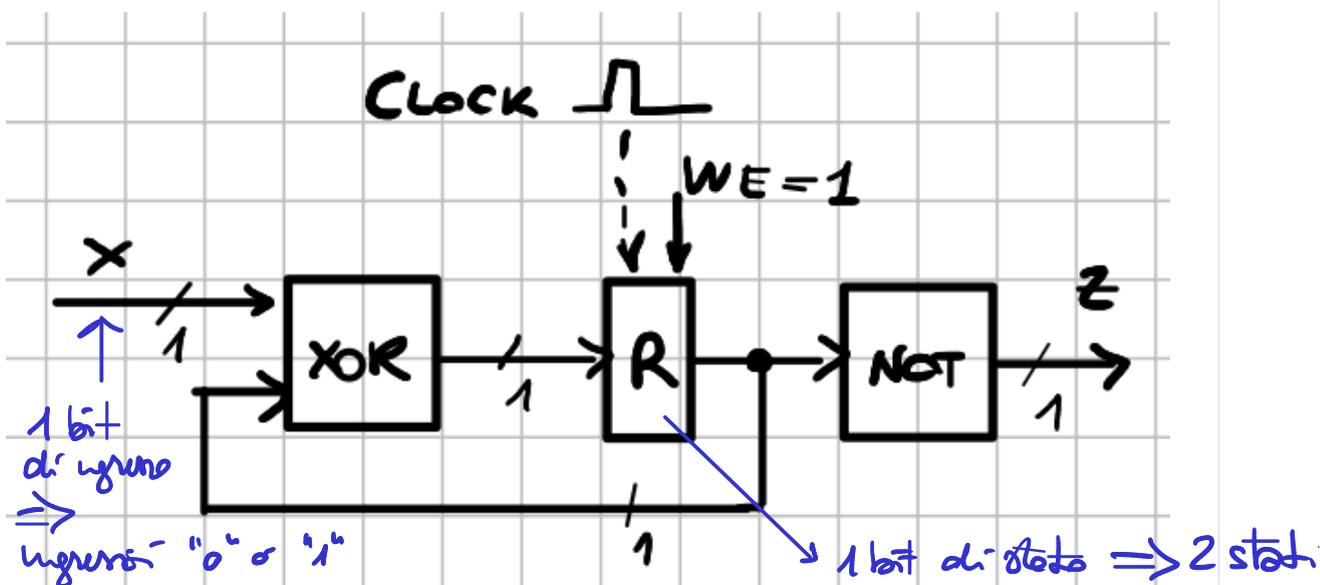
D-latch

Demultiplexer

è una rete comb

D18

Il circuito in figura



- è una rete di Mealy che calcola la parità di una sequenza di bit (uscita 1 se visto un numero pari di ingressi "1")
- è una rete di Moore che calcola la parità di una sequenza di bit (uscita 1 se visto un numero pari di ingressi "1")
- è una rete di Mealy che calcola la disparità di una sequenza di bit (uscita 1 se visto un numero dispari di ingressi "1")
- è una rete di Moore che calcola la disparità di una sequenza di bit (uscita 1 se visto un numero dispari di ingressi "1")

① è una rete di Moore (z non dipende direttamente da x)



Google Moduli