Quarta Prova Intermedia di AESO 2021-2022 (Corso B)

In questo compito ogni domanda prevede una sola risposta esatta. Compilare il questionario ed inviarlo prima del tempo limite annunciato durante la riunione Teams.

IMPORTANTE: evitare di inviare il compito negli ultimi secondi prima della chiusura, in quanto un qualsiasi problema di rete potrebbe impedire l'invio. Solo i compiti correttamente inviati mediante il form di Google saranno valutati.

L'indirizzo email della persona che ha risposto (**null**) è stato registrato quando hai inviato questo modulo.

1. Email *

_____

2. Nel linguaggio macchina ARMv7, il campo SRC2 dell'istruzione assembler ldr r0, [r1, #-45]

Contrassegna solo un ovale.

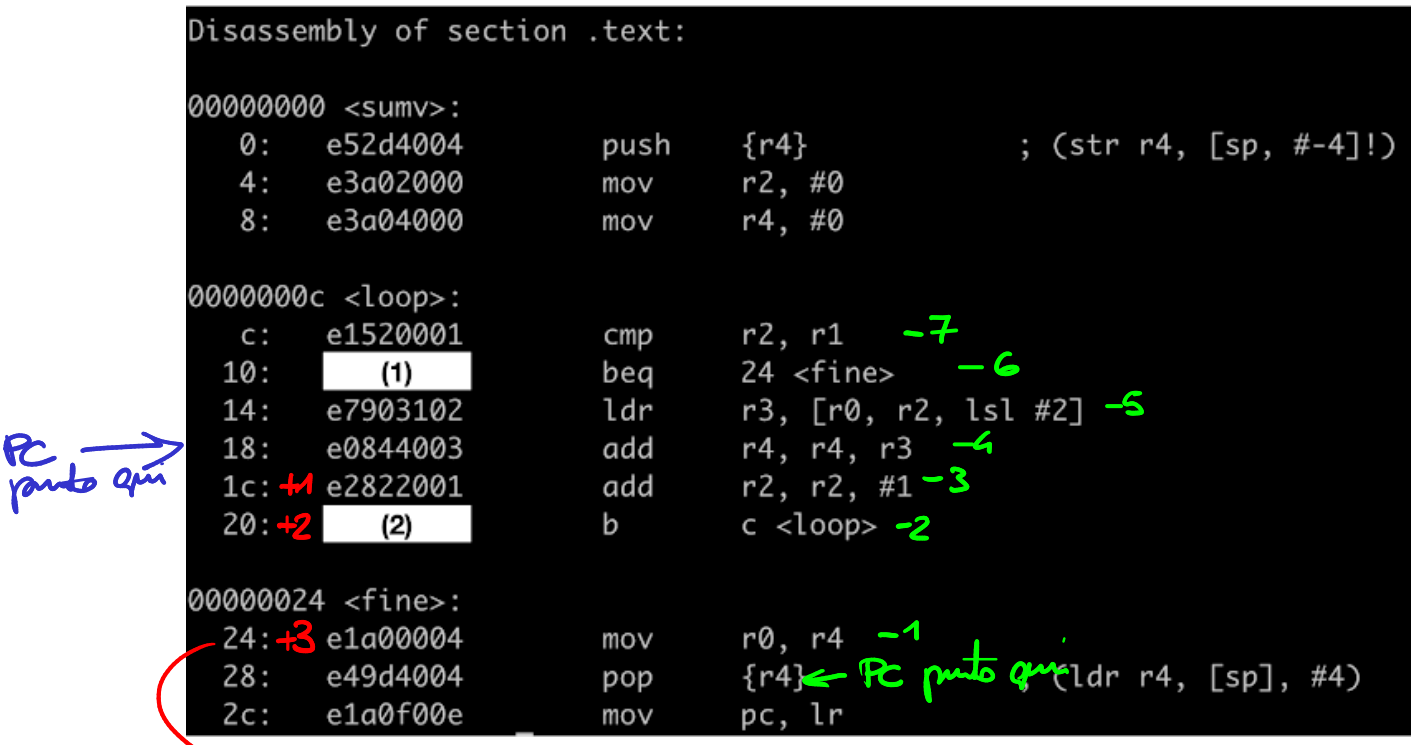
- ( ) E' un campo di 12 bit composto dagli 8 bit meno significativi (imm8) che codificano un intero senza segno che in questo caso corrisponde alla codifica binaria di 45, mentre i 4 bit più significativi (rot) sono tutti posti a zero in quanto nessuna rotazione è necessaria
- ( ) E' un campo di 12 bit composto dagli 8 bit meno significativi (imm8) che codificano un intero con segno che in questo caso corrisponde alla codifica binaria in complemento a due di -45, mentre i 4 bit più significativi (rot) sono tutti posti a zero in quanto nessuna rotazione è necessaria
- (X) E' un campo di 12 bit che codifica un intero (imm12) senza segno che in questo caso corrisponde alla codifica binaria di 45 il bit U indica che va fatta una sottrazione invece che un'addizione
- ( ) E' un campo di 12 bit che codifica un intero (imm12) con segno che in questo caso corrisponde alla codifica binaria in complemento a due di -45

3. L'istruzione macchina ARMv7 corrispondente all'istruzione assembler B label

Contrassegna solo un ovale.

- ( ) Ha un campo Imm24 corrispondente ai 24 bit più significativi della parola
- ( ) Ha una campo Imm24 di 24 bit che codificano il numero (con segno) di byte da aggiungere a PC+8 per determinare il BTA (Branch Target Address)
- ( ) Ha un campo Imm24 di 24 bit che rappresenta il numero (senza segno) di istruzioni da aggiungere/sottrarre, in base ad un ulteriore bit contenuto nel campo funct, a PC+8 per determinare il BTA (Branch Target Address)
- (X) Ha un campo Imm24 di 24 bit che rappresenta il numero (con segno) di istruzioni da aggiungere a PC+8 per determinare il BTA (Branch Target Address)

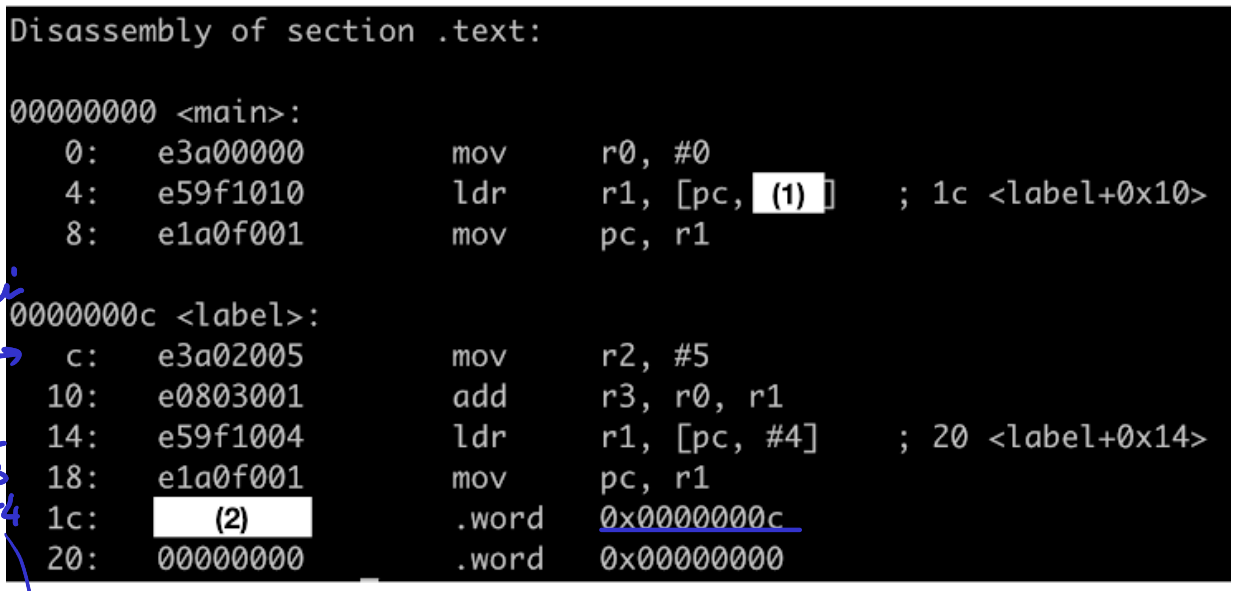
4. La figura sotto riporta le istruzioni macchina prodotte dall'assemblatore durante la compilazione di un piccolo programma. Quali sono le configurazioni di 32 bit ciasuna delle due istruzioni di salto indicate nei due riquadri bianchi numerati (1) e (2)?



Contrassegna solo un ovale.

- ( ) 0x0a000003 e 0xeaffffff8
- (X) 0x0a000003 e 0xeaffffff9
- ( ) 0x0a000004 e 0xeaffffff9
- ( ) 0x0a000004 e 0xeaffffff8

5. La figura sotto riporta le istruzioni macchina prodotte dall'assemblatore come output della compilazione di un programma che fa uso di istruzioni per il "caricamento di literal". L'istruzione all'indirizzo 4 è la traduzione di ldr r1, =label. Indicare il valore dei due riquadri (1) e (2)



Contrassegna solo un ovale.

- ◯ #6 e 0x0000000c
- ◯ #16 e 0x00000008
- ◯ #16 e 0x0000000c
- ◯ #4 e 0x0000000c

6. In relazione al set di istruzioni macchina Thumb, indicare quali delle seguenti affermazioni è vera

Contrassegna solo un ovale.

- ◯ Sono un set di istruzioni "ridotte" tutte codificate a 16 bit e con una visibilità dei registri limitata ai primi dodici
- ◯ Sono un set di istruzioni a 16 bit tranne la BL che richiede 24 bit di rappresentazione
- ◯ Sono un set di istruzioni a 16 bit (tranne la BL) che supportano le stesse modalità di indirizzamento pre-index/post-index del set ARMv7 per le LDR/STR
- ◯ Sono un set di istruzioni codificate in 16 bit (tranne la BL) che modificano sempre i flag di stato

7. Nel processore ARM single cycle

Contrassegna solo un ovale.

non è detto

- ( ) In ogni ciclo di clock si utilizzando i risultati dell'accesso alla Memoria Istruzioni, Register File e Memoria Dati
- (X) In ogni ciclo di clock si utilizzano al massimo i risultati di tre accessi alla Memoria Istruzioni, Register File e Memoria Dati
- ( ) In ogni ciclo di clock si utilizzando sempre i risultati di due e solo due accessi: alla Memoria Istruzioni e al Register File, oppure alla Memoria Istruzioni e alla Memoria Dati

8. Nelle tre microarchitetture considerate, il Register File prevede

Contrassegna solo un ovale.

- ( ) Due porta in lettura e una in scrittura
- ( ) Due porte in lettura e una che può essere utilizzata sia per la lettura che per la scrittura
- (X) Due porte in lettura, una in scrittura e una dedicata al "registro" PC (R15)

9. La Parte Controllo nel processore multi cycle

Contrassegna solo un ovale.

- ( ) è un automa a stati finiti con tanti stati quanti sono i diversi tipi di istruzioni da eseguire (operative, salto, e di memoria)
- (X) è un automa a stati finiti con un tanti cammini, che partono tutti dallo stato che comanda il Fetch dell'istruzione corrente, quanti sono i tipi di istruzione differenziati rispetto al tipo degli operandi utilizzati (es. registri oppure immediati)
- ( ) è un automa a stati finiti con tanti stati quante sono le fasi di esecuzione delle istruzioni (Fetch, Decode, Execute, Data Memory, Write Back)

cammini diversi a seconda degli operandi e a seconda del tipo di istruzione

10. Nel processore pipeline la Parte Controllo è divisa in due parti (Decoder e Logica Condizionale) come nel processore single cycle. La parte "Logica Condizionale"

Contrassegna solo un ovale.

- ( ) calcola un unico bit da utilizzare in AND con i tutti i bit generati dalla parte Decoder (write enable, input multiplexer, comandi ALU, etc...)
- (X) calcola un unico bit da utilizzare in AND con alcuni dei bit generati dalla parte Decoder, per esempio quelli che comandano le scritture nelle parti del processore che mantengono lo stato interno della computazione
- ( ) genera un piccolo numero di bit, in generale diversi fra loro, ciascuno dei quali è messo in AND con uno dei segnali di "write enable" generati dalla parte Decoder

11. Quali delle seguenti affermazioni non è corretta?

Contrassegna solo un ovale.

- ( ) Nel processore single cycle le ALU utilizzate per aggiornare il registro PC (program counter, prima della IM) sono, a seconda dell'istruzione eseguita, le due ALU che calcolano "+4" o la ALU generale dopo il Register File
- ( ) Nel processore single cycle le ALU utilizzate per aggiornare il registro PC (program counter, prima della IM) sono sempre e solo le due ALU dedicate che calcolano "+4"
- (X) Nel processore single cycle le ALU utilizzate per aggiornare il registro PC (program counter, prima della IM) sono, a seconda dell'istruzioni eseguita, la prima che calcola "+4" oppure la ALU generale dopo il Register File

12. Quali delle seguenti coppie di istruzioni consecutive necessita dell'inserimento di una bolla (stallo di un ciclo) nell'esecuzione sul processore pipeline con forwarding per risolvere la dipendenza RAW?

Contrassegna solo un ovale.

- ( ) ADD R0, R1, R2 seguita da SUB R3, R0, R4
- ( ) ADD R0, R1, R2 seguita da LDR R4, [R0, #4]
- ( ) ADD R0, R1, R2 seguita da SUB R1, R2, R3
- (X) Nessuna di queste

13. Quale delle seguenti dipendenze devono essere considerate nell'esecuzione delle istruzioni sul processore pipeline visto nel corso?

Contrassegna solo un ovale.

- WAW (ADD R0, R1, R2 seguita da SUB R0, R3, R4)
- WAR (ADD R0, R1, R2 seguita da SUB R1, R3, R4)
- RAW (ADD R0, R1, R2 seguita da SUB R3, R0, R4)

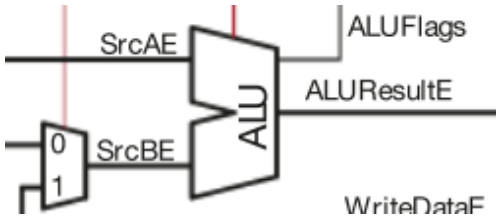
14. Una istruzione di salto "preso" richiede sul processore pipeline che non implementa il forwarding del risultato della ALU al PC

Contrassegna solo un ovale.

- l'introduzione di una bolla (stallo) da due cicli di clock
- l'introduzione di una bolla (stallo) da tre cicli di clock
- l'introduzione di una bolla (stallo) da quattro cicli di clock

sarebbero 2 col forwarding

15. Nei diversi tipi di processore (single cycle, multi cycle e pipeline) sul secondo ingresso della ALU si trova un multiplexer. Nel caso in cui il multiplexer abbia solo due ingressi, come nella figura, quali sono i due ingressi ?



Rd2

Ext

Contrassegna solo un ovale.

- Una delle uscite del Register File e la costante +4 per l'aggiornamento del PC
- Una delle uscite del Register File e l'uscita della rete Extender
- Le due uscite del Register File
- L'uscita della rete Extender e la costante +4 necessaria per l'aggiornamento del PC

16. Quanti sono i registri sul cammino che porta i segnali di controllo generati dalla Parte Controllo del processore pipeline alle componenti controllate nel datapath ?

Contrassegna solo un ovale.

no (sono solo 3 reg)

- ( ) da 0 a 4 (uno per ognuna delle fasi dopo quella di Fetch)
- (X) da 0 a 3 (uno per ognuna delle fasi dopo quella di Decode)
- ( ) sempre 3, indipendentemente dal tipo di segnale di controllo

no alcuni su percorso fisico dei registri (e.g. quelli x reg file)

17. Per calcolare il CPI di un processore pipeline con forwarding, devo sapere

Contrassegna solo un ovale.

- ( ) quante sono in percentuale le istruzioni di salto "preso" e quante sono le istruzioni LDR che leggono un valore prodotto dall'istruzione precedente
- ( ) quante sono in percentuale le istruzioni di LDR che leggono un valore prodotto dall'istruzione precedente
- (X) quante sono in percentuale le istruzioni di salto "preso" e quante le istruzioni di LDR che scrivono un valore letto dall'istruzione immediatamente successiva

dip controllo

dip dati

18. Il valore del CPI minimo si ottiene

Contrassegna solo un ovale.

è sempre 1!

- (X) nel processore single cycle
- ( ) nel processore multi cycle
- ( ) nel processore pipeline