

Timing di reti sequenziali

Le transizioni di una rete sequenziale avvengono sul fronte di salita del segnale di clock. I registri richiedono che il segnale rimanga stabile per un certo periodo di tempo intorno al fronte di salita affinché l'output sia stabile.

Se impieghiamo segnali che cambiano soltanto fuori dal *tempo di apertura* (setup prima + hold dopo) dei registri, possiamo trattare il tempo come successione di *cicli di clock* discreti, e preoccuparci solo del valore che i segnali hanno alla fine di ciascun ciclo.

In situazioni in cui si accetta input dall'esterno è impossibile impedire cambiamenti di stato durante il tempo di apertura; in tal caso si ricorre ad un sincronizzatore.

Spesso i flip-flop sono progettati $t_{\text{hold}} = 0$, per cui non dobbiamo garantire un ritardo *minimo* della componente combinatoria. Considerando solo il tempo di setup:

$$T_{\text{clock}} \geq t_{pr} + t_{pc} + t_{\text{setup}},$$

dove t_{pr} è il ritardo di propagazione del registro (da fronte di salita a segnale stabile) e t_{pc} è il ritardo di propagazione della rete combinatoria.

